

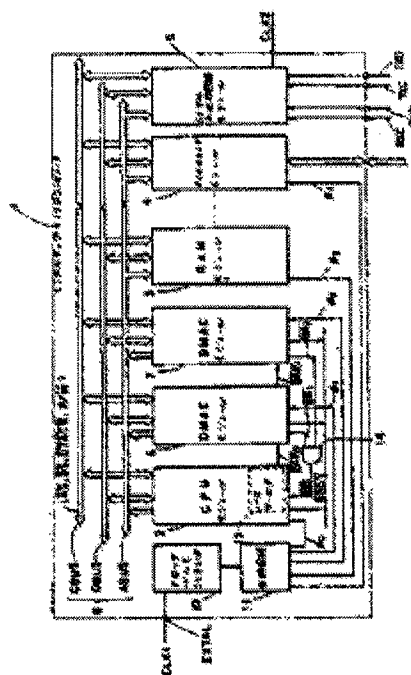
**SEMICONDUCTOR INTEGRATED CIRCUIT****Publication number:** JP2090382**Publication date:** 1990-03-29**Inventor:** MIYAZAKI KENJI**Applicant:** HITACHI LTD**Classification:**

**- international:** G06F1/08; G06F13/42; G06F15/78; G06F1/08;  
G06F13/42; G06F15/76; (IPC1-7): G06F1/08;  
G06F13/42; G06F15/78

**- European:****Application number:** JP19880243578 19880928**Priority number(s):** JP19880243578 19880928[Report a data error here](#)**Abstract of JP2090382**

**PURPOSE:** To improve an operation efficiency as a whole by operating asynchronously plural function modules whose maximum operation frequencies are different, and also, executing a synchronized control for a data transfer between the function modules.

**CONSTITUTION:** A single chip microcomputer 1 incorporates a CPU module 2, a RAM module 3, a timer counter module 4, a serial input/output circuit module 5, a DMAC module 6 and a DMAC module 7. In this state, to the modules 2, 3, 4, 6 and 7, different operation clock signals  $\phi 0$ ,  $\phi 3$ ,  $\phi ii$ ,  $\phi 1$  and  $\phi 2$  are supplied through a frequency dividing circuit 11 from the output of a clock pulse generator 10 to which an external clock signal CLK1 and the modules execute an asynchronous operation. To the input/output circuit module 5, an independent clock signal CLK2 is applied and a data transfer which passes through a silicon pack plane bus 8 being an asynchronous bus is brought to synchronized control. In such a manner, the operation efficiency as a whole can be improved.



Data supplied from the **esp@cenet** database - Worldwide



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-90382

⑬ Int. Cl.<sup>5</sup>

G 06 F 15/78  
1/08  
13/42

識別記号

5 1 0 A

庁内整理番号

7343-5B

⑭ 公開 平成2年(1990)3月29日

8840-5B

7459-5B

G 06 F 1/04

3 2 0 Z

審査請求 未請求 請求項の数 6 (全 17 頁)

⑮ 発明の名称 半導体集積回路

⑯ 特 願 昭63-243578

⑰ 出 願 昭63(1988)9月28日

⑱ 発 明 者 宮 崎 健 司 東京都青梅市今井2326番地 株式会社日立製作所デバイス  
開発センタ内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 玉村 静世

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

1. 最大動作周波数の異なる複数の機能モジュール

を非同期バスに共通接続して1つの半導体基板上に形成した半導体集積回路であって、上記複数の機能モジュールの全て又は一部は相互に周波数の異なる動作クロック信号に基づいて非同期動作され、非同期動作される機能モジュールは非同期バスを介するデータ転送のための同期化制御を行うようにされて成る半導体集積回路。

2. 上記非同期動作される機能モジュールは、相互にハンドシェイク信号をやりとりして同期化

制御を行うものである請求項1記載の半導体集積回路。

3. 上記非同期動作される機能モジュールは、他の

機能モジュールにウェイト要求を与え、他の機能モジュールはそのウェイト要求のサンプリ

ング結果に従ってウェイトサイクルを挿入して同期化制御を行うものである請求項1記載の半導体集積回路。

4. 動作クロック周波数を同一とする複数の機能

モジュールは相互に同期バスによっても結合されて成る請求項2又は請求項3記載の半導体集積回路。

5. 異なる動作クロック周波数で動作される機能

モジュールのための動作クロック信号は、クロック源を同一とするクロックパルスジェネレータ及びこのクロックパルスジェネレータの出力を所要の分周比で分周する分周回路により形成され、分周回路は個々の機能モジュールに含まれて成る請求項2又は請求項3記載の半導体集積回路。

6. 異なる動作クロック周波数で動作される機能

モジュールのうちの一部の機能モジュールのための動作クロック信号は、クロック源を同一とするクロックパルスジェネレータ及びこのクロックパルスジェネレータの出力を所要の分周比

で分周する分周回路により形成され、その他特定の機能モジュールのための動作クロック信号は、上記クロックパルスジェネレータのクロック源とは別のクロック源を介して与えられるものである請求項2又は請求項3記載の半導体集積回路。

### 3. 発明の詳細な説明

#### 〔産業上の利用分野〕

本発明は最大動作周波数の異なる複数個の機能モジュールを1つの半導体基板に形成した半導体集積回路、さらにはこのような半導体集積回路に含まれる機能モジュールの動作周波数を全体的に上げるための技術に関し、例えばASIC（アプリケーション・スペシフィック・インテグレートッド・サーキット）形式で構成される半導体集積回路に適用して有効な技術に関するものである。

#### 〔従来技術〕

特定用途向け半導体集積回路としてのASICにおいては、設計資産の再利用という観点から過去に設計された機能モジュールを標準セルとして

ライブラリに登録しておき、登録された情報を後から必要に応じて利用することにより特定用途向けの半導体集積回路を構成するというような、スタンダードセル方式を採用することができる。斯る手法により例えばシングルチップマイクロコンピュータを1つの半導体基板に構成する場合、その要求仕様に応じて、中央処理装置の外にシリアル入出力回路やタイマ・カウンタさらには各種コントローラなどの周辺回路を標準セルから選択する。従来、このようにして選択された各種機能モジュールは1つの半導体基板上で同期バスに結合されて1チップ化されている。

尚、各種機能モジュールを同期バスで結合して成るASIC形式の半導体集積回路について記載された文献の例としては、日経マグロウヒル社発行の「日経エレクトロニクス」（1987年7月13日号）第90頁及び第91頁がある。

#### 〔発明が解決しようとする課題〕

ところで、ASICのために予め標準セルとして用意されている各種機能モジュールの最高動作

- 3 -

周波数はその回路構成や機能並びにレイアウト・ルールなどの相違に応じて異なる場合が多い。したがって、特定用途向けの半導体集積回路をスタンダードセルのようなASIC方式で構成するとき、当該半導体集積回路に含まれる各種機能モジュールの最大動作周波数は相互に異なる場合がある。このとき、最大動作周波数の異なる複数個の機能モジュールを従来のように同期バスで結合して1チップ化すると、この半導体集積回路の最大動作周波数は、それに搭載される機能モジュールのうち最大動作周波数が最も低い機能モジュールによって制限され、本来高速動作可能な機能モジュールの動作速度が犠牲にされて、斯る半導体集積回路全体の動作効率が低下してしまうという問題点のあることが本発明者によって見出された。

本発明の目的は、最大動作周波数の異なる複数個の機能モジュールを含んで1つの半導体基板に形成される半導体集積回路の動作周波数が当該半導体集積回路に含まれる各種機能モジュールのうち最大動作周波数の最も低い機能モジュールによ

- 4 -

って制限される事態を防止することができ、全体の動作効率を向上させることができる半導体集積回路を提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

#### 〔課題を解決するための手段〕

本願において開示される発明のうち代表的なもの概要を簡単に説明すれば下記の通りである。

すなわち、最大動作周波数の異なる複数個の機能モジュールを、非同期バスに結合して、相互に周波数の異なる動作クロック信号に基づき非同期動作させ、非同期動作される機能モジュールは非同期バスを介するデータ転送のための同期化制御を行うようにして、1チップで成る半導体集積回路を構成するものである。

ここで、上記同期化制御は、ハンドシェイク信号により相手の状態を確認しながらデータをやりとりするための制御動作、又はウェイト要求のサンプリング結果に基づいてバスアクセスサイクル

を伸長可能とする制御動作などとして行うことができる。

このとき、動作クロック周波数を同一とする複数の機能モジュール相互間でのデータ転送効率を上げるにはそれら機能モジュールを同期バスによっても結合しておくといよい。

また、異なる動作クロック周波数で動作される機能モジュールのための動作クロック信号を、クロック源を同一とするクロックパルスジェネレータ及びこのクロックパルスジェネレータの出力を所要の分周比で分周する分周回路により形成することができるが、このとき分周回路を個々の機能モジュールに含めておくことがクロック信号線を少なくする上において望ましい。さらに、異なる動作クロック周波数で動作される機能モジュールの内の特定の機能モジュールには、上記クロックパルスジェネレータのクロック源とは別のクロック源を介して動作クロック信号を与えるようにすることもできる。

〔作用〕

上記した手段によれば、1チップで形成される半導体集積回路に含まれた最大動作周波数の異なる複数の機能モジュールは相互に周波数の異なる動作クロック信号に基づいて非同期動作可能であって、非同期動作される機能モジュール相互間でのデータ転送タイミングやアクセスタイミングはハンドシェーク制御やウェイトサイクルの挿入などの同期化制御により調整される。これにより、複数の機能モジュールを含んで1チップ化される半導体集積回路の最大動作周波数は、それに内蔵される機能モジュールのうち最大動作周波数が最も低い機能モジュールによって制限されず、新半導体集積回路における全体的な動作効率の向上を達成するものである。

〔実施例〕

第1図には本発明の一実施例であるシングルチップマイクロコンピュータが示される。同図に示されるシングルチップマイクロコンピュータ1は、特に制限されないが、過去に設計されライブラリとして登録されている機能モジュール構成用標準

- 7 -

セルを必要に応じて利用し、特定用途向けの半導体集積回路を構成するというような、ビルディングブロック手法やガリセル手法によるスタンダードセル方式により構成されたASIC形式の半導体集積回路とされ、公知の半導体集積回路製造技術によりシリコンのような1個の半導体基板に形成されている。

第1図に示されるシングルチップマイクロコンピュータ1は、特に制限されないが、全体的な制御を司るCPU（セントラル・プロセッシング・ユニット）モジュール2、このCPUモジュール2の作業領域などに利用されるRAM（ランダム・アクセス・メモリ）モジュール3、タイマ・カウンタモジュール4やシリアル入出力回路モジュール5、さらには上記CPUモジュール2の負担を軽減して高速データ転送を行うためのDMAC（ダイレクト・メモリ・アクセス・コントローラ）モジュール6及びDMACモジュール7などの機能モジュールを内蔵する。これらの機能モジュールは、内部非同期バスとしてのシリコン・バック・

- 8 -

プレーン・バス8を構成するアドレスバスABUS、データバスDBUS、及びコントロールバスCBUSに結合されている。

尚、図示はしないが、本実施例のシングルチップマイクロコンピュータ1は、アドレスバスABUSに与えられる論理アドレスを外部メモリ空間のための物理アドレスに変換するメモリ・マネジメント・ユニットや、このメモリ・マネジメント・ユニットから出力される物理アドレスをシングルチップマイクロコンピュータ1の外部に与えるためのアドレス出力バッファ、そしてデータバスDBUSをシングルチップマイクロコンピュータ1の外部とインタフェースするためのデータ入出力バッファ、さらに上記コントロールバスCBUSに含まれる所定信号線をシングルチップマイクロコンピュータ1の外部とインタフェースするためのコントロールバスバッファなどが設けられている。

本実施例において上記CPUモジュール2、RAMモジュール3、タイマ・カウンタモジュール

4、シリアル入出力回路モジュール5、DMACモジュール6及びDMACモジュール7は夫々クロック信号に同期動作する回路構成を有し、それらが正常動作し得る最大動作周波数は夫々相違されているものとする。CPUモジュール2、DMACモジュール6、DMACモジュール7、RAMモジュール3、タイマ・カウンタモジュール4には夫々の最大動作周波数以下の範囲で必要な周波数の動作クロック信号 $\phi_0$ 、 $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ 、 $\phi_i$ が個別的に供給される。これら動作クロック信号 $\phi_0$ 、 $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ 、 $\phi_i$ は、特に制限されないが、夫々周波数が相違され、システムクロック信号のような外部クロック信号CLKIをイグスターナル・クリスタル端子EXTALに受けるクロックパルスジェネレータ10の出力を所定の分周比に従って順次分周する分周回路11から出力される。この分周回路11は、特に制限されないが、所定ビット数のカウンタと、このカウンタの出力を選択するセレクタにより構成され、クロックパルスジェネレータ10の出力周波数よりも小

さな分数倍の周波数を得る。上記シリアル入出力回路モジュール5は、特に制限されないが、転送クロックRXCに同期するビットシリアルなデータRXDを受信し、また、データTXDを転送クロックTXCに同期させてビッドシリアルに送信する。このときのデータ転送レートは転送クロックRXC、TXCにより規定されるため、この転送レートとの関係でシリアル入出力回路モジュール5の動作クロック周波数だけを独立させて任意に決定可能とするため、当該シリアル入出力回路モジュール5には上記クロックパルスジェネレータ10のクロック脈とは独立したクロック信号CLK2が与えられるようになっている。

相互に非同期動作されるCPUモジュール2、RAMモジュール3、タイマ・カウンタモジュール4、シリアル入出力回路モジュール5、DMACモジュール6及びDMACモジュール7は上記非同期バスとしてのシリコン・バック・プレーンバス8を介してデータ転送する場合に同期化制御（非同期バス制御）を行う。本実施例において上

- 11 -

記同期化制御は、ハンドシェーク信号により相手の状態を確認しながらデータをやりとり可能とするための制御動作とされる。例えば、本実施例のシングルチップマイクロコンピュータ1に含まれるバスマスタモジュールの一例とされるCPUモジュール2、DMACモジュール6、DMACモジュール7は、シリコン・バック・プレーンバス8に対するバス権を獲得してバスサイクルを起動するとき、同期化制御のためのハンドシェーク信号として、特に制限されないが、リード・ライト信号R/W、アドレス・ストローブ信号AS、データ・ストローブ信号DSを出力し、アクセス対象とされる被アクセスモジュールからデータ・アクノレッジ信号DTACKを受け取る。このデータ・アクノレッジ信号DTACKは、特に制限されないが、バスマスタモジュールの一例とされるRAMモジュール3、タイマ・カウンタモジュール4、シリアル入出力回路モジュール5が出力するが、さらにCPUモジュール2がDMACモジュール6、7にデータ転送先アドレスやデー

- 12 -

タ転送元アドレスを設定したりその他制御情報を与えるためにデータをやりとりするときにDMACモジュール6、DMACモジュール7も出力することができる。

上記アドレス・ストローブ信号ASは、特に制限されないが、そのローレベルによりアドレスバスABUS上に有効なアドレス信号が供給されていることを示す。上記リード・ライト信号R/Wはデータの転送方向を指示する信号とみなされ、例えばそのハイレベルによりリードサイクルを、ローレベルによりライトサイクルを指示する。データ・ストローブ信号DSは、特に制限されないが、リードサイクルではデータバスDBUSに有効なデータを出力可能であることをそのローレベルにより相手の機能モジュールに指示し、ライトサイクルではデータバスDBUSに有効なデータが出力されたことをそのローレベルにより相手の機能モジュールに指示する。データ・アクノレッジ信号DTACKは、特に制限されないが、バスサイクルを起動するモジュールにとってデータ転

- 13 -

- 14 -

送の完了を意味する入力信号とされ、バスサイクル起動モジュールがリードサイクル時にそのデータ・アクノレッジ信号DTACKのローレベルを検出することによりデータを取り込んでバスサイクルを終了し、また、バスサイクル起動モジュールがライトサイクル時にそのデータ・アクノレッジ信号DTACKのローレベルを検出すると当該バスサイクルを終了する。

第2図には同期化制御によりCPUモジュール2がRAMモジュール3をリードアクセスする動作の一例が示される。

CPUモジュール2がRAMモジュール3をリードアクセスする場合、CPUモジュール2はその動作クロック信号φに同期するステートS<sub>0</sub>に同期してリード・ライト信号R/Wをハイレベルにし、これに続くステートS<sub>1</sub>に同期してアドレス信号A<sub>0</sub>~A<sub>n</sub>をアドレスバスABUSに出力すると共に、次のステートS<sub>2</sub>に同期してアドレス・ストロブ信号ASとデータ・ストロブ信号DSをローレベルにアサートする。CPUモジ

ュール2は、少なくともステートS<sub>0</sub>、S<sub>1</sub>においては新たな信号を出力しない。

RAMモジュール3などの機能モジュールは、アドレス・ストロブ信号ASがローレベルにアサートされると、そのときアドレスバスABUS上で確定されているアドレス信号A<sub>0</sub>~A<sub>n</sub>を用いて自分が選択されたか否かを判断し、これにより、第2図に従う説明で被選択モジュールとされるRAMモジュール3は、そのアドレス信号A<sub>0</sub>~A<sub>n</sub>に含まれる所定の複数ビットにより指定されるワード即ちメモリセル列をアドレッシングすると共に、ハイレベルのリード・ライト信号R/W及びローレベルのデータ・ストロブDSを利用して、読み出すべきデータD<sub>0</sub>~D<sub>i</sub>をデータバスDBUSに出力し、さらにデータ・アクノレッジ信号DTACKをローレベルにアサートする。

CPUモジュール2のリードサイクルにおけるデータ・アクノレッジ信号DTACKのサンプリングタイミングはステートS<sub>2</sub>とされ、このタイミングでデータ・アクノレッジ信号DTACKを

- 15 -

サンプリングした結果これがローレベルである場合には、CPUモジュール2はステートS<sub>2</sub>に同期してデータバスDBUS上のD<sub>0</sub>~D<sub>i</sub>を取り込んでラッチすると共に、ステートS<sub>2</sub>の間にアドレス・ストロブ信号AS、データ・ストロブ信号DSを夫々ハイレベルにネゲートして当該リード・サイクルを終了する。特に制限されないが、アドレス信号A<sub>0</sub>~A<sub>n</sub>及びリード・ライト信号R/WはステートS<sub>2</sub>の終了まで維持される。RAMモジュール3は、アドレス・ストロブ信号AS及びデータ・ストロブ信号DSの双方又は一方がネゲートされるまでデータD<sub>0</sub>~D<sub>i</sub>の出力とデータ・アクノレッジ信号DTACKのアサート状態を維持する。

RAMモジュール3のアクセス速度が低速であるような場合に、CPUモジュール2のステートS<sub>2</sub>の開始時点においてデータ・アクノレッジ信号DTACKが未だハイレベルにネゲートされたままである場合には、CPUモジュール2はデータ・アクノレッジ信号DTACKがローレベルに

- 16 -

アサートされるまでウェイトステートを挿入して待ち状態を採り、データ・アクノレッジ信号DTACKのアサート状態を所定のタイミングで検出した後に上記のようにしてリードサイクルを終了する。

第3図には同期化制御によりCPUモジュール2がRAMモジュール3をライトアクセスする動作の一例が示される。

CPUモジュール2がRAMモジュール3をライトアクセスする場合、動作クロック信号φに同期するCPUモジュール2のステートS<sub>0</sub>においてアドレスバスABUSはハイ・インピーダンス状態にされていて、CPUモジュール2は、ステートS<sub>1</sub>の開始に同期してアドレス信号A<sub>0</sub>~A<sub>n</sub>をアドレスバスABUSに出力すると共に、次のステートS<sub>2</sub>に同期してアドレス・ストロブ信号ASをローレベルにアサートし、且つ、リード・ライト信号R/Wをローレベルにする。

RAMモジュール3などの機能モジュールは、アドレス・ストロブ信号ASがローレベルにア

サートされると、そのときアドレスバス A B U S 上で確定されているアドレス信号 A。～ A n を用いて自分が選択されたか否かを判断し、これにより、第 3 図に依る説明で被選択モジュールとされる R A M モジュール 3 は、そのアドレス信号 A。～ A n に含まれる所定の複数ビットにより指定されるメモリエル列をアドレッシングする。

C P U モジュール 2 はステート S<sub>1</sub> に同期して書き込むべきデータ D。～ D i をデータバス D B U S に出力すると共に、ステート S<sub>1</sub> に同期してデータ・ストロブ信号 D S をローレベルにアサートする。データ・ストロブ信号 D S がアサートされると、被選択モジュールとしての R A M モジュール 3 は、上記ローレベルのリード・ライト信号 R / W とローレベルのデータ・ストロブ信号 D S を利用してデータバス D B U S 上のデータ D。～ D i を読み込み、読み込んだデータが無事に内部にストアされた後にデータ・アクノレッジ信号 D T A C K をローレベルにアサートする。尚、ステート S<sub>1</sub> の間 C P U モジュール 2 は新た

な信号を発生しない。

C P U モジュール 2 のライトサイクルにおけるデータ・アクノレッジ信号 D T A C K のサンプリングタイミングはステート S<sub>1</sub> とされ、このタイミングでデータ・アクノレッジ信号 D T A C K をサンプリングした結果これがローレベルである場合には、C P U モジュール 2 はステート S<sub>1</sub> の間にアドレス・ストロブ信号 A S、データ・ストロブ信号 D S を夫々ハイレベルにネゲートして当該ライト・サイクルを終了する。特に制限されないが、アドレス信号 A。～ A n 及びデータ D。～ D i はステート S<sub>1</sub> の終了まで維持される。R A M モジュール 3 は、アドレス・ストロブ信号 A S 及びデータ・ストロブ信号 D S の双方又は一方がネゲートされるまでデータ・アクノレッジ信号 D T A C K のアサート状態を維持する。

R A M モジュール 3 のアクセス速度が低速であるような場合に、C P U モジュール 2 のステート S<sub>1</sub> の開始時点においてデータ・アクノレッジ信号 D T A C K が未だハイレベルにネゲートされた

- 19 -

ままである場合には、C P U モジュール 2 はデータ・アクノレッジ信号 D T A C K がローレベルにアサートされるまでウェイトステートを挿入して待ち状態を採り、データ・アクノレッジ信号 D T A C K のアサート状態を検出した後に上記のようにしてライト・サイクルを終了する。

第 2 図及び第 3 図に示される C P U モジュール 2 と R A M モジュール 3 との間での非同期バスの同期化制御の内容は基本的にその他の機能モジュール相互間での同期化制御にも適用されるようになっている。

上記同期化制御の説明では自分自身が被選択モジュールであるか否かの判断をアドレス信号 A。～ A n の所定ビットを用いて各機能モジュール内部で行うこととしたが、アクセスに際して C P U モジュール 2 などのバスマスタモジュールがアクセス対象モジュールを直接指定するためのモジュール選択信号を出力するようにしてもよい。この場合にモジュール選択信号をアドレス信号 A。～ A n の出力タイミングと概ね同じタイミングでア

サートすることができる。

第 1 図に示されるシングルチップマイクロコンピュータにおいて C P U モジュール 2、D M A C モジュール 6、及び D M A C モジュール 7 相互間のバスアービトレーションは、特に制限されないが、ディジーチェーン方式で行われ、C P U 2 がバスアービタ 1 3 を持つ。D M A C モジュール 6 から出力されるバスリクエスト信号 B R<sub>1</sub> と他方の D M A C モジュール 7 から出力されるバスリクエスト信号 B R<sub>2</sub> はアンドゲート 1 4 を介しバスリクエスト信号 B R としてバスアービタ 1 3 に供給される。上記バスリクエスト信号 B R<sub>1</sub>、B R<sub>2</sub>、B R は、特に制限されないが、夫々ローレベルがバス権要求レベルとされる。バスアービタ 1 3 は D M A C モジュール 6 にバスアクノレッジ信号 B A K<sub>1</sub> を与え、この D M A C モジュール 6 は D M A C モジュール 7 にバスアクノレッジ信号 B A K<sub>2</sub> を与える。バスアクノレッジ信号 B A K<sub>1</sub>、B A K<sub>2</sub> は、特に制限されないが、夫々ローレベルがバス使用承認レベルとされる。バスアービタ 1 3

- 20 -



はCPU2モジュール2がバス権を獲得していないとき上記バスリクエスト信号BRがローレベルにアサートされることに呼応してバスアクノレッジ信号BAK<sub>2</sub>をローレベルにアサートする。このバスアクノレッジ信号BAK<sub>2</sub>を受けるDMACモジュール6は自らがバス権の獲得を要求しているときにはバスアクノレッジ信号BAK<sub>2</sub>をネゲート状態に保ち、また、自らがバス権の獲得を要求していないときにはバスアクノレッジ信号BAK<sub>2</sub>をローレベルにアサートする。DMACモジュール6、7は、ローレベルによりバス使用中であることを意味するバスビジー信号BBSYをバスアービタ13に与え、これによりバスアービタ13はバスの占有状態を知る。

第4図にはシリコン・バック・プレーン・バス8が占有使用されていない状態においてDMACモジュール6とDMACモジュール7がバス権を要求した場合のバスアービトレーション動作の一例が示される。

時刻 $t_0$ にバスリクエスト信号BR<sub>2</sub>がローレベ

ルにアサートされ、これに呼応してバスリクエスト信号BRがローレベルにされると(時刻 $t_1$ )、バスアービタ13はバスの使用要求を認識する。このときCPUモジュール2がバス権を要求していない場合、バスアービタ13はバスアクノレッジ信号BAK<sub>2</sub>を所定のタイミングでローレベルにアサートする(時刻 $t_2$ )。これを受けるDMACモジュール6は自分の要求が受け付けられたことを認識してバスアクノレッジ信号BAK<sub>2</sub>をネゲート状態のままにする。これによりバス使用権を獲得したDMACモジュール6はバスビジー信号BBSYをローレベルにアサートしてバスの使用中であることを宣言し(時刻 $t_3$ )、データ転送サイクルに入る。尚、バスアービタ13は、そのバスビジー信号BBSYがローレベルに変化されたことを検出すると、バスアクノレッジ信号BAK<sub>2</sub>をハイレベルにネゲートする(時刻 $t_4$ )。

DMACモジュール6は自分のデータ転送サイクルを終了すると、バスビジー信号BBSYをハイレベルにネゲートしてバス権を放棄する(時刻

- 23 -

$t_5$ )。このとき他方のDMACモジュール7は時刻 $t_6$ から未だバスリクエスト信号BR<sub>2</sub>をアサートしてバス権を要求しているため、バスアービタ13は時刻 $t_7$ に再びバスアクノレッジ信号BAK<sub>2</sub>をローレベルにアサートする。このときDMACモジュール6はバス権を要求していないため、当該DMACモジュール6はローレベルのバスアクノレッジ信号BAK<sub>2</sub>をそのままバスアクノレッジ信号BAK<sub>2</sub>としてDMACモジュール7に与える(時刻 $t_8$ )。これによりDMACモジュール7がバス権を獲得する。DMACモジュール7は、バスビジー信号BBSYをローレベルにアサートしてバスの使用中であることを宣言し(時刻 $t_9$ )、データ転送サイクルに入る。バスアービタ13は、そのバスビジー信号BBSYがローレベルに変化されたことを検出すると、バスアクノレッジ信号BAK<sub>2</sub>をハイレベルにネゲートし(時刻 $t_{10}$ )、これに連動してバスアクノレッジ信号BAK<sub>2</sub>もハイレベルにネゲートされる(時刻 $t_{11}$ )。DMACモジュール7は自分のデ

- 24 -

ータ転送サイクルを終了すると、バスビジー信号BBSYをハイレベルにネゲートしてバス権を放棄する(時刻 $t_{12}$ )。

バスアービトレーションはデジタイゼーション方式に限定されず、バスアービタを独立した機能モジュールとして備える場合には各バスマスタモジュールがバスリクエスト信号をそのバスアービタに与え、各バスマスタモジュールがバスアービタから個別的にバスアクノレッジ信号を受け取るような集中制御的なアービトレーション方式などを採用することもできる。また、バスアービタはシングルチップマイクロコンピュータ1が外部で結合される図示しないシステムバスにおける外部バスマスタモジュールとの間でのバスアービトレーションをも行うようにすることができる。

第5図には本発明の他の実施例であるシングルチップマイクロコンピュータが示される。同図に示されるシングルチップマイクロコンピュータ2も第1図に示されるシングルチップマイクロコンピュータ1と同様にスタンダードセル方式によ

り構成されたA S I C形式の半導体集積回路とされ、公知の半導体集積回路製造技術により1個の半導体基板に形成されているが、非同期バスの一例とされるシリコン・バック・プレーン・バス28を介するデータ転送のための同期化制御は、ウェイト要求のサンプリング結果に基づいてバスアクセスサイクルを引き延ばし可能とする制御動作を基本とする点において上記実施例と相違する。

第5図に示されるシングルチップマイクロコンピュータ21は、特に制限されないが、全体的な制御を司るC P Uモジュール22、このC P Uモジュール22の作業領域などに利用されるR A Mモジュール23、及びパラレル入出力回路モジュール25などの機能モジュールを内蔵する。これらの機能モジュールは、非同期バスとしてのシリコン・バック・プレーン・バス28を構成するアドレスバスA B U S、データバスD B U S、及びコントロールバスC B U Sに結合されている。

尚、図示はしないが、本実施例のシングルチップマイクロコンピュータ21は、アドレスバスA

B U Sに与えられる論理アドレスを外部メモリ空間のための物理アドレスに変換するメモリ・マネージメント・ユニットや、このメモリ・マネージメント・ユニットから出力される物理アドレスをシングルチップマイクロコンピュータ21の外部に与えるためのアドレス出力バッファ、そしてデータバスD B U Sをシングルチップマイクロコンピュータ21の外部とインタフェースするためのデータ入出力バッファ、さらに上記コントロールバスC B U Sに含まれる所定信号線をシングルチップマイクロコンピュータ21の外部とインタフェースするためのコントロールバスバッファなどが設けられている。

本実施例において上記C P Uモジュール22、R A Mモジュール23、及びパラレル入出力回路モジュール25は夫々クロック信号に同期動作する回路構成を有し、それらが正常動作し得る最大動作周波数は夫々相違されているものとする。C P Uモジュール22、R A Mモジュール23、パラレル入出力回路モジュール25には夫々の最大

- 27 -

動作周波数以下の範囲で必要な周波数の動作クロック信号 $\phi_{10}$ 、 $\phi_{11}$ 、 $\phi_{12}$ が個別に供給される。これら動作クロック信号 $\phi_{10}$ 、 $\phi_{11}$ 、 $\phi_{12}$ は、特に制限されないが、夫々周波数が相違され、システムクロック信号のような外部クロック信号C L K 3をイクスターナル・クリスタル端子E X T A Lに受けるクロックパルスジェネレータ30の出力を所定の分周比に従って順次分周する分周回路31から出力される。この分周回路31は、特に制限されないが、所定ビット数のカウンタと、このカウンタの出力を選択するセレクトにより構成され、クロックパルスジェネレータ30の出力周波数よりも小さな分数倍の周波数を得る。

本実施例において、非同期バスとしてのシリコン・バック・プレーン・バス28を介するデータ転送のための同期化制御は、被アクセスモジュールがバスアクセスモジュールに対してウェイト要求を出力することにより行われる。例えば、本実施例のシングルチップマイクロコンピュータ21に含まれるバスマスタモジュールの一例とされる

- 28 -

C P Uモジュール22は、バスサイクル制御信号として、ローレベルによりリード・サイクルを指示するリード信号R D、ローレベルによりライト・サイクルを指示するライト信号W R、ローレベルによりメモリのリード/ライト動作であることを意味するメモリ・イネーブル信号M E、ローレベルにより入出力回路のリード/ライト動作であることを意味するI/Oイネーブル信号I O EをコントロールバスC B U Sに出力する。そして、C P Uモジュール22は、バスサイクルに対してウェイトスタート挿入の可否を決定するためのウェイト信号W A I Tを外部から受け取る。このウェイト信号W A I Tは、特に制限されないが、R A Mモジュール23から出力されるウェイト信号W A I T<sub>1</sub>やパラレル入出力回路モジュール25から出力されるウェイト信号W A I T<sub>2</sub>などの論理積を採るアンドゲート26から供給される。

ここで、C P Uモジュール22のアクセスサイクルは第6図に示されるようにステートT<sub>1</sub>、T<sub>2</sub>、T<sub>3</sub>を基本とし、被アクセスモジュールの必要に

応じてウェイトステート $T_w$ が挿入される。CPUモジュール22は、ステート $T_s$ 及びウェイトステート $T_w$ における動作クロック信号 $\phi_{1s}$ の立ち下がりに同期してウェイト信号 $WAIT$ をサンプリングし、その結果ウェイト信号 $WAIT$ がローレベルである場合にはステート $T_s$ とステート $T_s$ の間にウェイトステート $T_w$ を挿入してアクセスサイクルを引き延ばす。

本実施例において、RAMモジュール23やパラレル入出力回路モジュール25のリード/ライトサイクル時間は、特に制限されないが、CPUモジュール22のリード/ライトサイクル時間よりも長いものとされる。RAMモジュール23がCPUモジュール22による被アクセスモジュールとされるとき、このRAMモジュール23は自分のリード/ライト動作に必要な期間CPUモジュール22のリード/ライトサイクルを引き延ばし得る数のウェイトステート $T_w$ を挿入可能とするためにウェイト信号 $WAIT_s$ を所定期間ローレベルにアサートする。同様に、パラレル入出力

回路モジュール25がCPUモジュール22による被アクセスモジュールとされるときも、このモジュール25は自分のリード/ライト動作に必要な期間CPUモジュール22のリード/ライトサイクルを引き延ばし得る数のウェイトステート $T_w$ を挿入可能とするためにウェイト信号 $WAIT_s$ を所定期間ローレベルにアサートする。RAMモジュール23やパラレル入出力回路モジュール25は、特に制限されないが、CPUモジュール22によるウェイト信号 $WAIT$ のサンプリングタイミングに対するウェイト信号 $WAIT_s$ 、 $WAIT_s$ のアサートタイミングとして、上記メモリ・イネーブル信号 $ME$ やI/Oイネーブル信号 $IOE$ のアサートタイミングを基準として用いることができる。ウェイト信号 $WAIT_s$ のアサート期間は、特に制限されないが、CPUモジュール22の動作クロック信号 $\phi_{1s}$ とRAMモジュール23の動作クロック信号 $\phi_{1s}$ との分周比をも考慮して決定され、同様にウェイト信号 $WAIT_s$ のアサート期間は動作クロック信号 $\phi_{1s}$ とパラ

- 31 -

ル入出力回路モジュール25の動作クロック信号 $\phi_{1s}$ との分周比を考慮して決定され、それらウェイト信号 $WAIT_s$ 、 $WAIT_s$ は夫々の機能モジュールに含まれる図示しないウェイト信号発生回路で生成される。

第6図には同期化制御によるCPUモジュール22のRAMモジュール23に対するリード/ライトアクセス動作の一例が示される。

CPUモジュール22がRAMモジュール23をリードアクセスする場合、CPUモジュール22はステート $T_s$ における動作クロック信号 $\phi_{1s}$ の立ち上がり変化に同期してアドレス信号 $A_0 \sim A_n$ をアドレスバス $ABUS$ に出力すると共に、当該ステート $T_s$ における動作クロック信号 $\phi_{1s}$ の立ち下がり変化に同期してメモリ・イネーブル信号 $ME$ 及びリード信号 $RD$ をローレベルにアサートする。

RAMモジュール23などのメモリモジュールは、メモリ・イネーブル信号 $ME$ がローレベルにアサートされると、そのときアドレスバス $ABU$

S上で確定されているアドレス信号 $A_0 \sim A_n$ を用いて自分が選択されたか否かを判断し、これにより、第6図に従う説明で被選択モジュールとされるRAMモジュール23は、そのアドレス信号 $A_0 \sim A_n$ に含まれる所定の複数ビットにより指定されるワード即ちメモリセル列をアドレッシングすると共に、ローレベルにアサートされたリード信号 $RD$ を利用して、読み出すべきデータ $D_0 \sim D_i$ をデータバス $DBUS$ に出力する。このデータ $D_0 \sim D_i$ の出力タイミングはRAMモジュール23の動作によって決定され、本実施例では、RAMモジュール23はメモリ・イネーブル信号 $ME$ のローレベルへの変化に同期した所定のタイミングでウェイト信号 $WAIT_s$ をアサートし、ステート $T_s$ における動作クロック信号 $\phi_{1s}$ の立ち下がりタイミングに同期してCPUモジュール22がローレベルのウェイト信号 $WAIT$ をサンプリング可能とする。これにより、CPUモジュール22はステート $T_s$ の後にウェイトステート $T_w$ を挿入して動作クロック信号 $\phi_{1s}$ の1サイク

- 32 -

ル分リード・サイクルを引き延ばす。本実施例に従えば、次のウェイト信号  $WAIT$  のサンプリングタイミング即ちウェイトステート  $T_w$  における動作クロック信号  $\phi_{10}$  の立ち下がりタイミングではウェイト信号  $WAIT$  は既にハイレベルにネゲートされているため、当該1つのウェイトステート  $T_w$  の後はステート  $T_s$  とされ、CPUモジュール22は、当該ステート  $T_s$  における動作クロック信号  $\phi_{10}$  の立ち下がりタイミングに同期して、データバス  $DBUS$  上で確定されている読み出しデータ  $D_0 \sim D_i$  を取り込むと共に、メモリ・イネーブル信号  $ME$  及びリード信号  $RD$  をネゲートして当該リード・サイクルを終了する。これにより、RAMモジュール23とは動作クロック周波数の異なるCPUモジュール22はRAMモジュール23が出力する読み出しデータ  $D_0 \sim D_i$  を確実に読み込むことができる。

上記CPUモジュール22がRAMモジュール23をライトアクセスする場合、CPUモジュール22はステート  $T_s$  における動作クロック信号

$\phi_{10}$  の立ち上がり変化に同期してアドレス信号  $A_0 \sim A_n$  をアドレスバス  $ABUS$  に出力する。そして当該ステート  $T_s$  における動作クロック信号  $\phi_{10}$  の立ち下がり変化に同期して書き込みデータ  $D_0 \sim D_i$  をデータバス  $DBUS$  に出力すると共に、メモリ・イネーブル信号  $ME$  をローレベルにアサートし、更にステート  $T_s$  における動作クロック信号  $\phi_{10}$  の立ち上がり変化に同期しライト信号  $WR$  をローレベルにアサートする。

RAMモジュール23などのメモリモジュールは、メモリ・イネーブル信号  $ME$  がローレベルにアサートされると、そのときアドレスバス  $ABUS$  上で確定されているアドレス信号  $A_0 \sim A_n$  を用いて自分が選択されたか否かを判断し、これにより、第6図に従う説明で被選択モジュールとされるRAMモジュール23は、そのアドレス信号  $A_0 \sim A_n$  に含まれる所定の複数ビットにより指定されるメモリセル列をアドレッシングすると共に、ローレベルにアサートされたライト信号  $WR$  を利用して、書き込みデータ  $D_0 \sim D_i$  を内部に取り

- 35 -

込む。RAMモジュール23によるその書き込みデータ  $D_0 \sim D_i$  の取り込みタイミングはRAMモジュール23の動作によって決定され、本実施例では、RAMモジュール23はメモリ・イネーブル信号  $ME$  のローレベルへの変化に同期した所定のタイミングでウェイト信号  $WAIT_s$  をアサートし、ステート  $T_s$  における動作クロック信号  $\phi_{10}$  の立ち下がりタイミングに同期してCPUモジュール22がローレベルのウェイト信号  $WAIT$  をサンプリング可能とする。これにより、CPUモジュール22はステート  $T_s$  の後にウェイトステート  $T_w$  を挿入して動作クロック信号  $\phi_{10}$  の1サイクル分ライト・サイクルを引き延ばす。本実施例に従えば、次のウェイト信号  $WAIT$  のサンプリングタイミング即ちウェイトステート  $T_w$  における動作クロック信号  $\phi_{10}$  の立ち下がりタイミングではウェイト信号  $WAIT$  は既にハイレベルにネゲートされているため、当該1つのウェイトステート  $T_w$  の後はステート  $T_s$  とされ、CPUモジュール22は、当該ステート  $T_s$  の最後まで

- 36 -

書き込みデータ  $D_0 \sim D_i$  の出力を維持しながら、そのステート  $T_s$  における動作クロック信号  $\phi_{10}$  の立ち下がりタイミングに同期してメモリ・イネーブル信号  $ME$  及びライト信号  $WR$  をネゲートし、当該ライト・サイクルを終了する。このようにCPUモジュール22のライト・サイクルが動作クロック信号  $\phi_{10}$  の1サイクル分引き延ばしされるこれにより、CPUモジュール22とは動作クロック周波数の異なるRAMモジュール23はCPUモジュール22の出力データ  $D_0 \sim D_i$  に対する書き込み動作を確実に行うことができる。

第6図に示されるCPUモジュール22とRAMモジュール23との間での非同期バスに対する同期化制御の内容は基本的にその他の機能モジュール相互間での同期化制御にも適用される。

上記同期化制御の説明では自分自身が被選択モジュールであるか否かの判断をアドレス信号  $A_0 \sim A_n$  の所定ビットを用いて各機能モジュール内部で行うこととしたが、アクセスに際してCPUモジュール22などのバスマスタモジュールがア

アクセス対象モジュールを直接指定するためのモジュール選択信号を出力するようにしてもよい。この場合にモジュール選択信号をアドレス信号  $A_0 \sim A_n$  の出力タイミングと概ね同じタイミングでアサートすることができる。

また、ウェイトステート  $T_w$  の挿入数は動作クロック信号の 1 サイクルに限定されず、データ転送を行う機能モジュール相互間の動作速度もしくは動作能力の差に応じて適宜増減することができることは言うまでもない。

第 7 図には本発明のその他の実施例であるシングルチップマイクロコンピュータが示される。同図に示されるシングルチップマイクロコンピュータ 40 は第 1 図及び第 5 図に示されるシングルチップマイクロコンピュータに対し各機能モジュールへ動作クロック信号を供給する構成が相違される。即ち、第 7 図に代表的に示されている機能モジュール 41 ~ 43 にはシステムクロック信号のような外部クロック信号 CLK4 を受けるクロックパルスジェネレータ 44 の出力クロック信号  $\phi$

が共通に与えられ、個々に与えられたクロック信号  $\phi$  は各機能モジュール 41 ~ 43 に内蔵されている分周回路 41A ~ 43A にて所定の分周比で分周され個々の動作クロック信号とされる。斯る構成よれば各機能モジュールへのクロック信号線の本数を上記各実施例に比べて減らすことができる。この場合、各機能モジュールに含まれる分周回路の分周比は、マスタスライスによる配線の選択接続やプログラムリンクの選択などの手法によりシングルチップマイクロコンピュータ 40 の製造工程においてプログラマブルに選択可能にすることもできる。

尚、各機能モジュール 41 ~ 43 が結合される非同期バス 45 を介するデータ転送のための同期化制御には上記各々の実施例で説明したハンドシェイク信号やウェイト信号などを利用することができる。

第 8 図には本発明のさらに別の実施例であるシングルチップマイクロコンピュータが示される。同図に示されるシングルチップマイクロコンピュ

- 39 -

ータ 50 は例えば動作クロック周波数を同一とする 3 個の機能モジュール 51, 52, 53 と、それらとは動作クロックマ信号の異なる機能モジュール 54 を含む。上記機能モジュール 51 ~ 53 には夫々の最大動作周波数以下の範囲で必要な周波数の動作クロック信号  $\phi_{00}$  が共通に供給され、機能モジュール 54 にはそれとは周波数の異なる動作クロック信号  $\phi_{01}$  が供給される。これら動作クロック信号  $\phi_{00}$ ,  $\phi_{01}$  は、特に制限されないが、システムクロック信号のような外部クロック信号 CLK5 を受けるクロックパルスジェネレータ 57 の出力を所定の分周比に従って順次分周する分周回路 58 から出力される。

相互に同期動作可能な機能モジュール 51, 52, 53 は、その他の非同期動作される機能モジュール 54 と共に非同期バス 55 に結合されると共に、同期バス 56 によっても個別に結合される。例えば機能モジュール 51 が DMA モジュールとされ、機能モジュール 52 が RAM モジュール、そして機能モジュール 53 がパラレル入出

- 40 -

力回路モジュールとされるとき、DMA モジュールが出力するモジュール選択信号などによって RAM モジュールやパラレル入出力回路モジュールが被アクセスモジュールとして選択される場合、機能モジュール 51, 52, 53 相互間でのデータ転送は同期バス 56 を介して行われるようになっている。同期バス 56 によるデータ転送は動作クロック信号  $\phi_{00}$  の複数サイクルにより定められた共通の固定期間を単位にして行われる。

非同期バス 55 を介するデータ転送のための同期化制御には上記各実施例で説明したハンドシェイク信号もしくはウェイト信号などを利用することができる。

このように同期動作可能な機能モジュール 51 ~ 53 を同期バス 56 によっても結合しておくことにより、非同期バス 55 を介するデータ転送に際して必要とされる同期化制御のための信号のやりとりが不要となり、これにより機能モジュール 51, 52, 53 相互間でのデータ転送効率を向上させることができる。

- 41 -

- 781 -

- 42 -

尚、第8図に示されるシングルチップマイクロコンピュータ50においても第7図と同様の構成を適用して各機能モジュールの動作クロック信号を形成することができる。

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更することができる。

例えば上記実施例のシングルチップマイクロコンピュータはスタンダードセル方式によるASIC形式で構成されるものとしたが、ゲートアレイ方式などによるASICとすることもできる。

また、シングルチップマイクロコンピュータに含まれる機能モジュールの種類や数は上記実施例に限定されず適宜変更することができる。

また、クロック源は外部クロックに限定されずクロックパルスジェネレータに接続した振動子とすることもきる。このように半導体集積回路がクロック源を内蔵する場合にはこれに基づいて得られるクロック信号を外部に与えるようにしておく

こともできる。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるASIC形式のシングルチップマイクロコンピュータに適用した場合について説明したが、本発明はそれに限定されるものではなく、設計手法の如何に拘らずシングルチップマイクロコンピュータのようなデータ処理LSIや各種半導体集積回路に広く適用することができる。本発明は、少なくとも最大動作周波数のことなる複数個の機能モジュールを1つの半導体基板に形成して成る条件の半導体集積回路に適用することができる。

#### 〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

すなわち、1つの半導体基板に含まれる最大動作周波数の異なる複数個の機能モジュールを周波数の異なる動作クロック信号に基づき非同期動作させると共に、非同期動作される機能モジュール

相互間では非同期式の内部バスを介するデータ転送のための同期化制御を行うようにしたから、複数個の機能モジュールを含んで1チップ化される半導体集積回路の最大動作周波数は、それに内蔵される機能モジュールのうち最大動作周波数が最も低い機能モジュールによって制限されず、斯る半導体集積回路における全体的な動作効率を向上させることができるという効果がある。

特に設計資産を再利用して特定用途向け半導体集積回路を構成するというASICにおいては、上記効果より、その要求仕様に応じて採択される機能モジュールの最大動作周波数がまちまちであってもこれによって構成される特定用途向け半導体集積回路全体の動作効率が著しく低下することがないため、特定の機能モジュールを新たに開発したり設計変更したりする必要が少なくなり、これによって各種機能モジュールのための設計資産を無駄なくもしくは効率的に再利用することができるという効果がある。

また、動作クロック周波数を同一とする複数個

の機能モジュールが含まれる場合にはそれら機能モジュールを同期バスによっても結合しておくことにより、それら機能モジュール相互間でのデータ転送効率を向上させることができ、全ての機能モジュールを非同期バスだけで結合する場合に比べて半導体集積回路全体のスループット向上を図ることができる。

また、異なる動作クロック周波数で動作される機能モジュールのための動作クロック信号を、クロック源を同一とするクロックパルスジェネレータ及びこのクロックパルスジェネレータの出力を所要の分周比で分周する分周回路により形成することができるが、このとき分周回路を個々の機能モジュールに含めておくと、各機能モジュールへのクロック信号線の本数を少なくすることができる。

そして、異なる動作クロック周波数で動作される機能モジュールの内の特定の機能モジュール、例えばデータ転送レートが動作クロック周波数とは独立の転送クロック周波数にて規定されるよう

な入出力回路に、上記クロックパルスジェネレータのクロック源とは別のクロック源を介して動作クロック信号を与えるようにすることにより、転送レートとの関係で入出力回路の動作クロック周波数だけを独立させて任意に決定可能とすることができ、シングルチップマイクロコンピュータのような半導体集積回路を含むシステムの要求仕様に対して当該半導体集積回路を柔軟に対応させることが可能になる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例であるシングルチップマイクロコンピュータのブロック図、

第2図は第1図のシングルチップマイクロコンピュータにおける非同期バスを介するリード・アクセスのための同期化制御の一例を示すタイミングチャート、

第3図は第1図のシングルチップマイクロコンピュータにおける非同期バスを介するライト・アクセスのための同期化制御の一例を示すタイミングチャート、

第4図は第1図のシングルチップマイクロコンピュータにおける非同期バスのためのバスアービトレーション動作の一例を示すタイミングチャート、

第5図は本発明の他の実施例であるシングルチップマイクロコンピュータのブロック図、

第6図は第5図のシングルチップマイクロコンピュータにおける非同期バスを介するリード・ライト・アクセスのための同期化制御の一例を示すタイミングチャート、

第7図は本発明のその他の実施例であるシングルチップマイクロコンピュータのブロック図、

第8図は本発明のさらに別の実施例であるシングルチップマイクロコンピュータのブロック図である。

1…シングルチップマイクロコンピュータ、2…CPUモジュール、3…RAMモジュール、4…タイマ・カウンタモジュール、5…シリアル入出力回路モジュール、6, 7…DMACモジュール、8…シリコン・バック・プレーン・バス、1

- 47 -

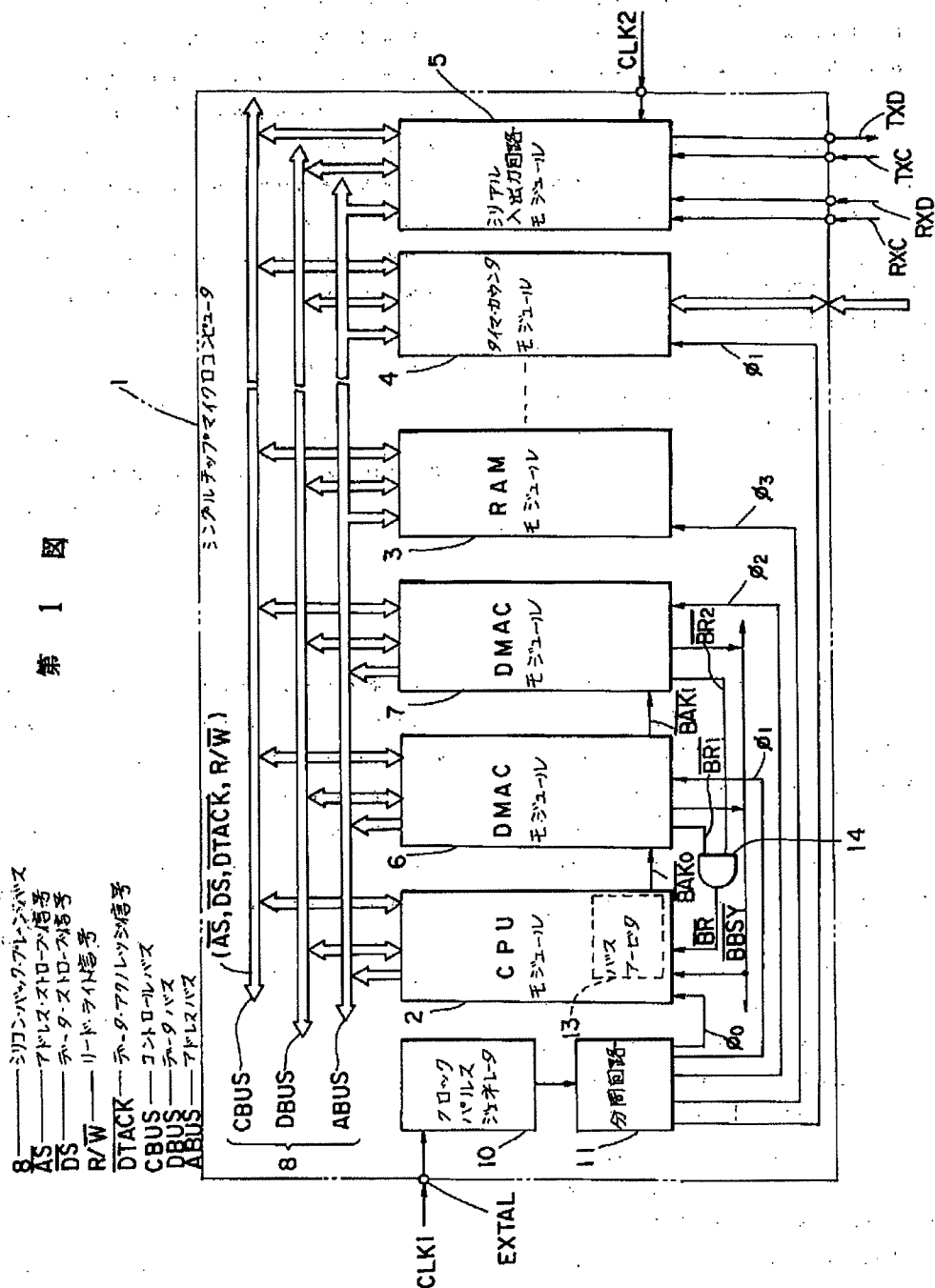
0…クロックパルスジェネレータ、11…分周回路、13…バスアービタ、CLK1, CLK2…外部クロック信号、AS…アドレス・ストロブ信号、DS…データ・ストロブ信号、DTACK…データ・アックノレッジ信号、R/W…リード・ライト信号、 $\phi_0, \phi_1, \phi_2, \phi_3, \phi_i$ …動作クロック信号、21…シングルチップマイクロコンピュータ、22…CPUモジュール、23…RAMモジュール、25…パラレル入出力回路モジュール、28…シリコン・バック・プレーン・バス、30…クロックパルスジェネレータ、31…分周回路、CLK3…外部クロック信号、RD…リード信号、WR…ライト信号、ME…メモリ・イネーブル信号、IOE…I/Oイネーブル信号、WAIT, WAIT<sub>1</sub>, WAIT<sub>2</sub>…ウェイト信号、 $\phi_{10}, \phi_{11}, \phi_{12}$ …動作クロック信号、41, 42, 43…機能モジュール、41A, 42A, 43A…分周回路、44…クロックパルスジェネレータ、45…非同期バス、CLK4…外部クロック信号、 $\phi$ …クロック信号、51, 52, 53,

- 48 -

54…機能モジュール、55…非同期バス、56…同期バス、57…クロックパルスジェネレータ、58…分周回路、CLK5…外部クロック信号、 $\phi_{20}, \phi_{21}$ …動作クロック信号。

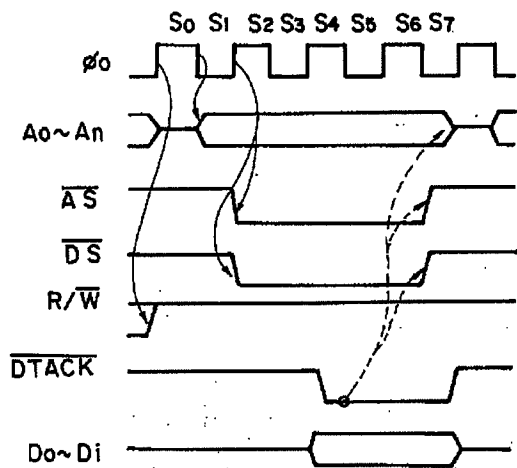
代理人 弁理士 五 村 静 世



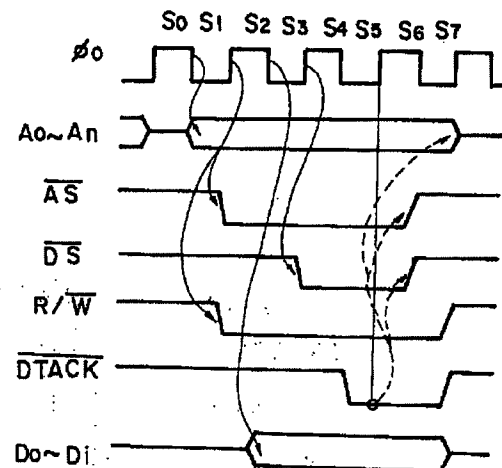




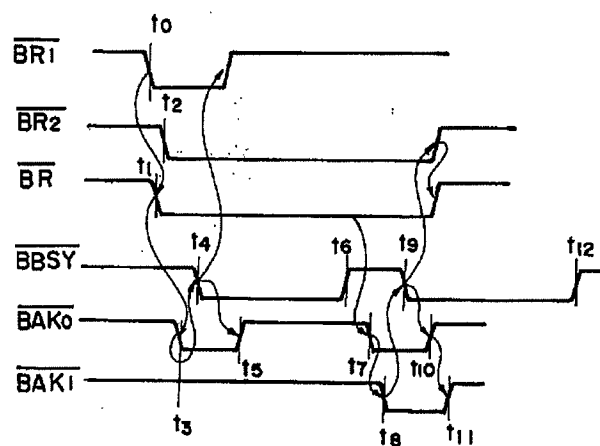
第 2 図



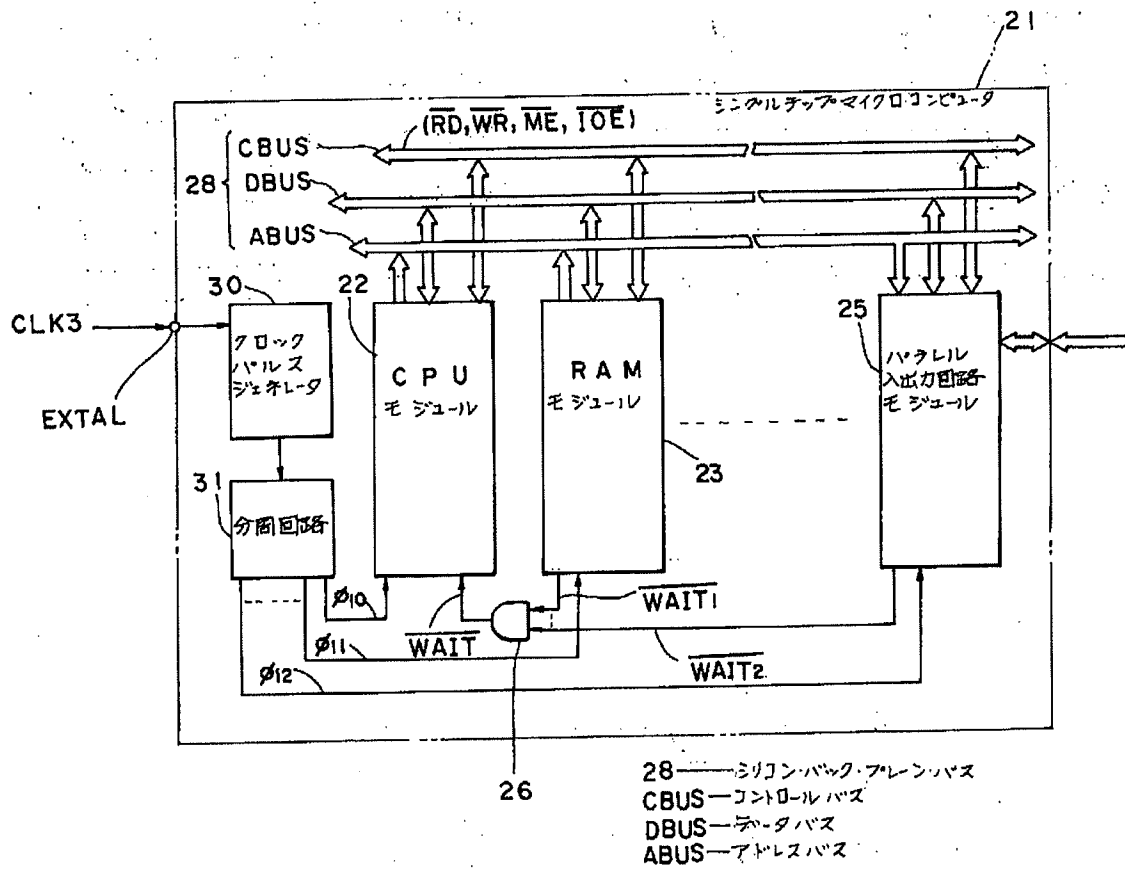
第 3 図



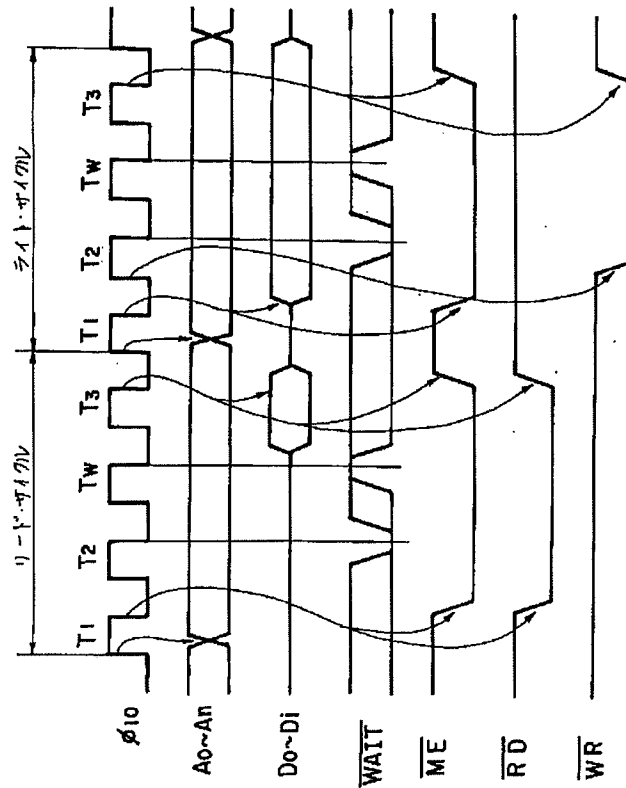
第 4 図



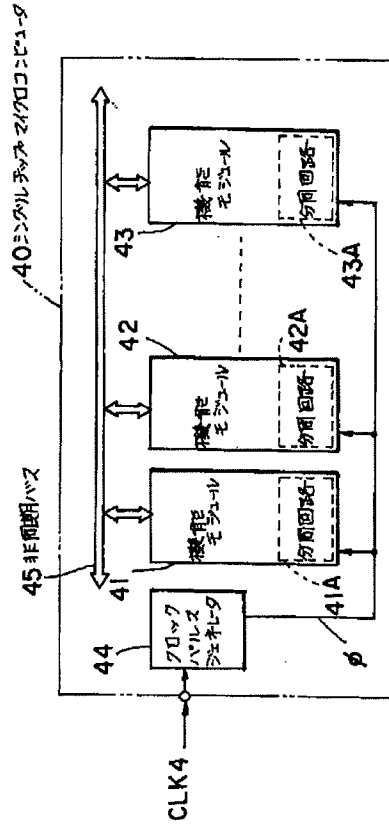
第 5 図



第 6 図



第 7 図



第 8 図

